

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Satoshi YAMAMOTO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MANUFACTURING METHOD OF A SEMICONDUCTOR SUBSTRATE PROVIDED WITH A
THROUGH HOLE ELECTRODE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-254858	August 30, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

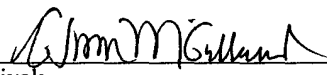
Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)


Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月30日

出 願 番 号
Application Number:

特願2002-254858

[ST.10/C]:

[JP2002-254858]

出 願 人
Applicant(s):

株式会社フジクラ
オリンパス光学工業株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035514

【書類名】 特許願

【整理番号】 20020475

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 殿

【国際特許分類】 C23C 2/00

【発明の名称】 貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内

 【氏名】 山本 敏

【発明者】

 【住所又は居所】 東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内

 【氏名】 滝沢 功

【発明者】

 【住所又は居所】 東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内

 【氏名】 末益 龍夫

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内

 【氏名】 片白 雅浩

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内

 【氏名】 宮島 博志

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内

 【氏名】 松本 一哉

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学
工業株式会社内

【氏名】 磯川 俊彦

【特許出願人】

【識別番号】 000005186

【氏名又は名称】 株式会社フジクラ

【特許出願人】

【識別番号】 000000376

【氏名又は名称】 オリンパス光学工業株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主面同士を配線する貫通電極付き半導体基板の製造方法であって、

前記半導体基板の少なくとも一方の主面に第 1 の絶縁層を形成する第 1 の絶縁層形成工程と、他方の主面から前記一方の主面側の第 1 の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁に第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、少なくとも前記細孔の端部における前記第 1 の絶縁層上に金属薄膜を形成する薄膜形成工程と、前記細孔の端部における前記第 1 の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填し貫通電極を形成する導電性物質充填工程とを有することを特徴とする貫通電極付き半導体基板の製造方法。

【請求項 2】 前記細孔を、Deep-Reactive Ion Etching 法で形成することを特徴とする請求項 1 記載の貫通電極付き半導体基板の製造方法。

【請求項 3】 前記金属薄膜を、異なる種類の金属を 2 層以上積層して形成することを特徴とする請求項 1 または 2 記載の貫通電極付き半導体基板の製造方法。

【請求項 4】 デバイスが形成されている半導体基板の主面同士を配線する貫通電極付き半導体デバイスの製造方法であって、

前記半導体基板の少なくともデバイスが形成されている一方の主面に第 1 の絶縁層を形成する第 1 の絶縁層形成工程と、前記絶縁層上に金属薄膜を形成する薄膜形成工程と、前記半導体基板の他方の主面から、前記導電性薄膜直下の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁および前記半導体基板の他方の主面に第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、前記細孔の端部の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填する導電性物質充填工程とを有することを特徴とする貫通電極付き半導体デバイスの製

造方法。

【請求項 5】 前記細孔を、Deep-Reactive Ion Etching 法で形成することを特徴とする請求項 4 記載の貫通電極付き半導体デバイスの製造方法

【請求項 6】 前記金属薄膜を、異なる種類の金属を 2 層以上積層して形成することを特徴とする請求項 4 または 5 記載の貫通電極付き半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子デバイスや光デバイスなどの配線、あるいはデバイスを積層接続する際の配線層に利用する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法に関する。

【0002】

【従来の技術】

電子デバイスや光デバイスなどの各種デバイスの配線や、デバイスを積層する際の配線層に貫通電極付き半導体基板を用いることがある。

図 7 は、貫通電極が設けられた貫通電極付き半導体基板の構成の一例を示す概略断面図である。

この貫通電極付き半導体基板は、シリコン基板などからなる半導体基板 1 と、半導体基板 1 の表面および半導体基板 1 を貫通する細孔 4 の孔壁に形成された絶縁層 2 と、細孔 4 内に充填された金属などの導電性物質層からなる貫通電極 3 とから概略構成されている。

【0003】

次に、図 8 を用いて、貫通電極付き半導体基板の製造方法の一例を説明する。

貫通電極付き半導体基板を製造するには、まず、図 8 (a) に示すように、半導体基板 1 に、半導体基板 1 を貫通する細孔 4 を形成する細孔形成工程を行う。細孔 4 を形成する方法としては、ICP-RIE (Inductively Coupled Plasma-Reactive Ion Etching) に

代表されるDRIE (Deep-Reactive Ion Etching) 法、水酸化カリウム溶液などを用いた異方性エッチング法、マイクロドリルによる機械加工法、光励起電解研磨法などが挙げられる。

次いで、図8 (b) に示すように、半導体基板1の表面および細孔4の孔壁に絶縁層2を形成する絶縁層形成工程を行う。

次いで、図8 (c) に示すように、熔融金属吸引法、スパッタ法、めっき法、印刷法などにより、金属などの導電性物質を細孔4内に充填して貫通電極3を形成し、貫通電極付き半導体基板を得る。

【0004】

このようにして得られた貫通電極付き半導体基板は、各種デバイスを作製するための基板として使われたり、あるいは図9に示すように、金属などの導電性物質により配線5を形成し、他のデバイスを積層して配線するための基台（インターポーザ）として利用することができる。

【0005】

【発明が解決しようとする課題】

上述したように、従来の貫通電極付き半導体基板の製造方法では、半導体基板に貫通電極を形成した後、各種デバイスや配線を作製する。そのため、貫通電極を形成する導電性物質の物性に依じて、その後の熱処理温度に制約が生じ、結果として作製できるデバイスや配線が制限されてしまう。

例えば、配線をアルミニウムで形成する場合、シンタリング処理という400℃程度の熱処理を行うことがあるが、貫通電極が金錫 (Au-Sn) などの共晶金属や、導電性ペーストで形成されている場合には、この熱処理によって金属の熔融や、導電性ペーストの物性変化が生じるおそれがある。

【0006】

また、上述した貫通電極付き半導体基板に、電子デバイスを作製する場合、作製プロセスの面から、以下に示す問題がある。

通常、電子デバイスを作製するクリーンルームでは、重金属汚染などの観点から、アルミニウムなど標準的な金属以外の金属を、極力持ち込むのを避けている。貫通電極付き半導体基板にデバイスや配線を作製する作製プロセスは、成膜装

置、パターンニング装置など、複数の設備を使用するものとなり、汚染防止の観点から望ましくない。貫通電極付き半導体基板やデバイスが汚染されると、その基板はもちろんのこと、設備を介した汚染（クロスコンタミ）により、貫通電極を有しない他の電子デバイスにおいても、特性が劣化するおそれがある。したがって、貫通電極を電子デバイスに適用する際には、貫通電極の形成は、極力最終工程に集約することが望ましい。

【0007】

また、貫通電極の表面には、通常数 μm 程度の凹凸があるため、作製するデバイスによっては、この凹凸が作製プロセスに影響を及ぼすことがある。例えば、貫通電極付き半導体基板に、スピncerコーターによりレジストを塗布する際には、貫通電極の表面に凹凸があると、その近辺では、均一なレジスト塗布が困難となる。

【0008】

本発明は、前記事情に鑑みてなされたもので、既にデバイスや配線が形成されている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】

本発明は、半導体基板の主面同士を配線する貫通電極付き半導体基板の製造方法であって、前記半導体基板の少なくとも一方の主面に第1の絶縁層を形成する第1の絶縁層形成工程と、他方の主面から前記一方の主面側の第1の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁に第2の絶縁層を形成する第2の絶縁層形成工程と、少なくとも前記細孔の端部における前記第1の絶縁層上に導電性薄膜を形成する薄膜形成工程と、前記細孔の端部における前記第1の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填し貫通電極を形成する導電性物質充填工程とを有する貫通電極付き半導体基板の製造方法を提供する。

本発明は、デバイスが形成されている半導体基板の主面同士を配線する貫通電

極付き半導体デバイスの製造方法であって、前記半導体基板の少なくともデバイスが形成されている一方の主面に第 1 の絶縁層を形成する第 1 の絶縁層形成工程と、前記絶縁層上に導電性薄膜を形成する薄膜形成工程と、前記半導体基板の他方の主面から、前記導電性薄膜直下の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁および前記半導体基板の他方の主面に第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、前記細孔の端部の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填する導電性物質充填工程とを有する貫通電極付き半導体デバイスの製造方法を提供する。

前記細孔を、Deep-Reactive Ion Etching法で形成することが好ましい。

前記金属薄膜を、異なる種類の金属を 2 層以上積層して形成することが好ましい。

【0010】

【発明の実施の形態】

以下、本発明を詳しく説明する。

本発明の貫通電極付き半導体基板の製造方法の一実施形態について、図 1 および図 2 を用いて説明する。

この実施形態では、電子デバイスを積層配線する際の基台（インターポーザ）などとして利用する貫通電極付き半導体基板の製造方法について説明する。

なお、図 1 は、この実施形態の貫通電極付き半導体基板の製造方法を工程順に示し、半導体基板を貫通電極の延在方向に切断した断面図であり、図 2 は貫通電極付き半導体基板を半導体基板上面から眺めた平面図である。

【0011】

この実施形態の貫通電極付き半導体基板では、まず、図 1（a）に示すように、厚さ 300 μ m 程度のシリコン基板からなる半導体基板 11 の両主面に、厚さ 1 μ m 程度の絶縁層である第 1 のシリコン酸化膜 12 を形成する（第 1 の絶縁層形成工程）。この実施形態では、例えば、温度 1000℃、4 時間の熱酸化法により、第 1 のシリコン酸化膜 12 を形成する。

なお、第 1 のシリコン酸化膜 12 を形成する方法は、熱酸化法に限定されるも

のではなく、シリコン酸化膜の膜厚や所望の用途に応じて、プラズマCVD法やスパッタリング法などによっても形成することができる。

【0012】

この実施形態では、半導体基板11として、シリコン基板を用いることによって、熱酸化などにより、容易に第1のシリコン酸化膜12からなる絶縁層を形成できる。また、シリコン基板を用いれば、後述のDeep-Reactive Ion Etching（以下、「DRIE」と略すこともある。）法によって、半導体基板11の面内に精度良く後述の細孔を形成することができる。

また、この第1のシリコン酸化膜12を形成することにより、後段の工程において形成される金属薄膜と半導体基板11との間が絶縁される。したがって、この金属薄膜を所望の形状とすることにより、この金属薄膜を半導体基板11上に設けられる電子デバイスと、貫通電極との間の配線として利用することができる。あるいは、貫通電極付き半導体基板を電子デバイスを積層配線する際の基台として使用する場合、この金属薄膜を配線層としても利用することができる。

さらに、絶縁層として第1のシリコン酸化膜12を用いることにより、DRIE法によって細孔を形成する際に、第1のシリコン酸化膜12がエッチングストップ層として働くため、半導体基板11の面内で均一に細孔を形成することができる。そして、エッチングガスを変えることにより、第1のシリコン酸化膜12のみを除去することができる。この場合、後述の金属薄膜がエッチングストップ層として働くから、一連の工程で金属薄膜の直下に、所望の細孔を形成することができる。

【0013】

次いで、図1（b）に示すように、一方の主面Aにおける貫通電極を形成する箇所の第1のシリコン酸化膜12を除去する。

次いで、図1（c）に示すように、Deep-Reactive Ion Etching法によって、半導体基板11に、一方の主面Aから他方の主面側に形成された第1のシリコン酸化膜12に至る細孔13を形成する（細孔形成工程）。ここで、Deep-Reactive Ion Etching法とは、エッチングガスとして六フッ化硫黄（ SF_6 ）などを用い、高密度プラズマによる

エッチングと、細孔 1 3 の側壁へのパッシベーション成膜を交互に行うことにより（B o s c h プロセス）、半導体基板 1 1 に深掘りエッチングする方法である。

なお、細孔 1 3 の深さ方向と垂直な断面の形状は、円形、楕円形、三角形、四角形、矩形などいかなる形状であってもよく、その大きさも、所望の貫通電極付き半導体基板の大きさ、導電性（抵抗値）などに応じて適宜設定される。

【 0 0 1 4 】

このように、細孔 1 3 の形成を D R I E 法によって行えば、細孔 1 3 の微細な加工が容易であり、かつ、使用する半導体基板とエッチングガスを適宜選択することにより、細孔 1 3 および後述の金属薄膜直下の第 1 のシリコン酸化膜 1 2 の除去を、一連のプロセスで行うことができるから、効率良く所望の細孔 1 3 を形成することができる。

【 0 0 1 5 】

次いで、図 1（d）に示すように、細孔 1 3 の孔壁に厚さ 1 μ m 程度の絶縁層である第 2 のシリコン酸化膜 1 4 を形成する（第 2 の絶縁層形成工程）。この実施形態では、例えば、温度 1 0 0 0 $^{\circ}$ C、4 時間の熱酸化法により、第 2 のシリコン酸化膜 1 4 を形成する。

なお、第 2 のシリコン酸化膜 1 4 を形成する方法は、熱酸化法に限定されるものではなく、シリコン酸化膜の膜厚や所望の用途に応じて、プラズマ C V D 法やスパッタリング法などによっても形成することができる。

このように、細孔 1 3 の孔壁に、第 2 の絶縁層を形成することにより、後段の工程において、細孔 1 3 内充填される導電性物質と半導体基板 1 1 とが絶縁される。

【 0 0 1 6 】

次いで、図 1（e）に示すように、少なくとも細孔 1 3 上の第 1 のシリコン酸化膜 1 2 上に、第 1 の金属薄膜 1 5、およびこれとは異なる素材からなる第 2 の金属薄膜 1 6 を形成する（薄膜形成工程）。この実施形態では、例えば、スパッタリング法により、第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6 を形成する。

これら金属薄膜を必要に応じて、適宜の方法でパターンニングすることにより、

図 2 (a) に示すような貫通電極部 2 1 上の電極パッド 2 2 や、図 2 (b) に示すような基板 2 0 上の他の電極パッド 2 3、およびこれらを接続するための配線 2 4 などを形成することができる。この実施形態では、例えば、第 1 の金属薄膜 1 5 としてアルミニウム－シリコン (A l - S i) 薄膜を、第 2 の金属薄膜 1 6 としてアルミニウム (A l) 薄膜を形成する。

なお、この実施形態では、第 1 の金属薄膜 1 5 としてアルミニウム－シリコン薄膜を、第 2 の金属薄膜 1 6 としてアルミニウム薄膜を形成したが、本発明はこれに限定されるものではない。第 1 の金属薄膜 1 5 は、貫通電極 1 7 との密着性を高めるために、細孔 1 3 内に充填される導電性物質の種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、第 2 の金属薄膜 1 6 は、他の半導体基板に設けられる、はんだバンプや、回路パターン (配線) などとの密着性を高めるために、これらの種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、この実施形態では、半導体基板 1 1 上に形成される金属薄膜を、第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6 の 2 層からなるものとしたが、本発明はこれに限定されるものではなく、金属薄膜が異なる種類の金属を 3 層以上積層して形成されたものであってもよい。

【 0 0 1 7 】

このように、半導体基板 1 1 上に形成される金属薄膜を、異なる種類の金属を 2 層以上積層して形成すれば、細孔 1 3 内に充填される導電性物質と、金属薄膜との密着性を高めることができるから、貫通電極 1 7 と金属薄膜 (ここでは、第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6) との間で信頼性の高い電氣的接続を実現できる。

【 0 0 1 8 】

次いで、図 1 (f) に示すように、細孔 1 3 の第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6 が形成されている側の端部の第 1 のシリコン酸化膜 1 2 のみを、エッチング処理により除去し、細孔 1 3 内に第 1 の金属薄膜 1 5 を露出させる (

絶縁層除去工程)。この実施形態では、例えば、エッチングガスとして四フッ化炭素 (CF_4) を用い、RIE (Reactive Ion Etching) 法を用いるドライエッチング法により、第1のシリコン酸化膜12のエッチングを行う。

【0019】

次いで、図1(g)に示すように、熔融金属吸引法または印刷法により、導電性物質を細孔13内に充填し、貫通電極17を形成し(導電性物質充填工程)、貫通電極付き半導体基板を得る。

この導電性物質充填工程においては、細孔13内に導電性物質を充填することにより、第1の金属薄膜15および第2の金属薄膜16と、貫通電極17とが電氣的に接続される。

【0020】

ここで、熔融金属吸引法とは、真空チャンバ内などの減圧環境下で半導体基板を熔融金属浴に浸した後、増圧(例えば、真空度を低くしたり、大気圧とする)することによって、細孔内に熔融金属を充填する方法である。この熔融金属吸引法では、例えば、導電性物質として、金(Au)80重量%-錫(Sn)20重量%からなる共晶金属を使用する。熔融金属吸引法を用いて、細孔13内に導電性物質を充填すれば、微細な細孔13内にも効率良く導電性物質を充填することができる。また、細孔13内の端部まで導電性物質を充填することができるから、第1の金属薄膜15および第2の金属薄膜16と、この導電性物質によって形成される貫通電極17とが電氣的に接続され、貫通電極17が電極として機能するようになる。

なお、この実施形態では、熔融金属吸引法によって細孔13内に、導電性物質として、金80重量%-錫20重量%からなる共晶金属を充填したが、本発明はこれに限定されるものではない。導電性物質として、異なる組成の金-錫合金や、錫、インジウムなどの金属、または、錫-鉛系、錫基、鉛基、金基、インジウム基、アルミニウム基などのはんだを使用することができる。

【0021】

印刷法では、例えば、孔版印刷法により、銅(Cu)ペーストを細孔13内に

充填する。印刷法を用いて、細孔 1 3 内に導電性物質を充填すれば、半導体基板 1 1 または半導体基板 1 1 の積層体の主面の面積が大きくなっても、細孔 1 3 内に均一に、効率良く導電性物質を充填することができる。また、細孔 1 3 内の端部まで導電性物質を充填することができるから、第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6 と、この導電性物質によって形成される貫通電極 1 7 とが電氣的に接続され、貫通電極 1 7 が電極として機能するようになる。

なお、印刷法によって細孔 1 3 内に、導電性物質として、銅ペーストを充填したが、本発明はこれに限定されるものではない。導電性物質として、銀ペースト、カーボンペースト、金-錫ペーストなどの導電性ペーストを使用することができる。

【 0 0 2 2 】

この実施形態で得られた貫通電極付き半導体基板の一方の主面 A 上には、必要に応じて、図 3 (a) に示すような電極パッド 2 5 や配線 2 6、または、図 3 (b) に示すような金属バンプ 2 7 を設けてもよい。

【 0 0 2 3 】

また、この実施形態で得られた貫通電極付き半導体基板は、表裏を貫通電極 1 7 によって電氣的に接続できるため、電子デバイスを積層配線する際の基台（インターポーザ）として利用したり、電子デバイス同士を電氣的に接続する際の配線層として利用できる。

【 0 0 2 4 】

次に、本発明の貫通電極付き半導体デバイスの製造方法の一実施形態について、図 4 および図 5 を用いて説明する。

この実施形態では、既に MEMS (M i c r o E l e c t r o M e c h a n i c a l S y s t e m s) 駆動や制御などの汎用 IC あるいは、センサなどの MEMS デバイスが設けられている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体デバイスの製造方法について説明する。

なお、図 4 は、この実施形態の貫通電極付き半導体デバイスの製造方法を工程順に示し、半導体デバイスを貫通電極の延在方向に切断した断面図であり、図 5 は貫通電極付き半導体デバイスを半導体基板上面から眺めた平面図である。

【 0 0 2 5 】

この実施形態の貫通電極付き半導体デバイスの製造方法では、まず、図 4 (a) に示すように、半導体基板 3 0 において、電子デバイス 3 1 が設けられている側の面で、少なくとも貫通電極を形成する箇所に、厚さ $1\ \mu\text{m}$ 程度の絶縁層である第 1 のシリコン酸化膜 3 2 を形成する（第 1 の絶縁層形成工程）。この実施形態では、例えば、テトラエトキシシラン（TEOS）を原料とするプラズマ CVD 法により、第 1 のシリコン酸化膜 3 2 を形成する。

なお、第 1 のシリコン酸化膜 3 2 を形成する方法は、TEOS を原料とするプラズマ CVD 法に限定されるものではなく、原料としてシランガス（ SiH_4 ）などを用いることができ、また、製膜方法も電子デバイス 3 1 へ与えるダメージなどを考慮して、スパッタリング法や熱酸化法などを適用することができる。

【 0 0 2 6 】

この実施形態では、半導体基板 3 0 として、シリコン基板を用いることによって、プラズマ CVD 法などにより、容易に第 1 のシリコン酸化膜 3 2 からなる絶縁層を形成できる。また、シリコン基板を用いれば、DRIE 法によって、半導体基板 3 0 の面内に精度良く後述の細孔を形成することができる。

また、この第 1 のシリコン酸化膜 3 2 を形成することにより、後段の工程において形成される金属薄膜と半導体基板 3 0 との間が絶縁される。したがって、この金属薄膜を所望の形状とすることにより、この金属薄膜を半導体基板 3 0 上に設けられる電子デバイスと、貫通電極との間の配線として利用することができる。

さらに、絶縁層として第 1 のシリコン酸化膜 3 2 を用いることにより、DRIE 法によって細孔を形成する際に、第 1 のシリコン酸化膜 3 2 がエッチングストップ層として働くため、半導体基板 3 0 の面内で均一に細孔を形成することができる。そして、エッチングガスを変えることにより、第 1 のシリコン酸化膜 3 2 のみを除去することができる。この場合、後述の金属薄膜がエッチングストップ層として働くから、一連の工程で金属薄膜の直下に、所望の細孔を形成することができる。

【 0 0 2 7 】

次いで、図 4 (b) に示すように、少なくとも第 1 のシリコン酸化膜 3 2 上に、第 1 の金属薄膜 3 3、およびこれとは異なる素材からなる第 2 の金属薄膜 3 4 を形成する（薄膜形成工程）。この実施形態では、例えば、スパッタリング法により、第 1 の金属薄膜 3 3 および第 2 の金属薄膜 3 4 を形成する。

これら金属薄膜を必要に応じて、適宜の方法でパターンングすることにより、図 5 (a) に示すような電極パッド 3 8 や、電子デバイス 3 1 との配線 3 9 を形成することができる。この実施形態では、第 1 の金属薄膜 3 3 としてアルミニウム-シリコン薄膜を、第 2 の金属薄膜 3 4 としてアルミニウム薄膜を形成する。また、電極パッド 3 8 と配線 3 9 を同時に形成する。

なお、この実施形態では、第 1 の金属薄膜 3 3 としてアルミニウム-シリコン薄膜を、第 2 の金属薄膜 3 4 としてアルミニウム薄膜を形成したが、本発明はこれに限定されるものではない。第 1 の金属薄膜 3 3 は、貫通電極 3 7 との密着性を高めるために、細孔 3 5 内に充填される導電性物質の種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わされて形成することができる。また、第 2 の金属薄膜 3 4 は、他の半導体基板に設けられる、はんだバンプや、回路パターン（配線）などとの密着性を高めるために、これらの種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わされて形成することができる。また、この実施形態では、半導体基板 3 0 上に形成される金属薄膜を、第 1 の金属薄膜 3 3 および第 2 の金属薄膜 3 4 の 2 層からなるものとしたが、本発明はこれに限定されるものではなく、金属薄膜が異なる種類の金属を 3 層以上積層して形成されたものであってもよい。

【 0 0 2 8 】

このように、半導体基板 3 0 上に形成される金属薄膜を、異なる種類の金属を 2 層以上積層して形成すれば、後述の細孔内に充填される導電性物質と、金属薄膜との密着性を高めることができるから、貫通電極と金属薄膜（ここでは、第 1 の金属薄膜 3 3 および第 2 の金属薄膜 3 4）との間で信頼性の高い電氣的接続を実現できる。

なお、通常の I C 製造により、既に図 4 (b) の構造が実現されている場合は、本実施形態は、次の図 4 (c) で説明する工程から始めることができる。

【 0 0 2 9 】

次いで、図 4 (c) および図 5 (b) に示すように、電子デバイス 3 1 や電極パッド 3 8 が形成されている面とは反対の主面 B における電極パッド 3 8 と重なる位置に、D R I E 法によって、半導体基板 3 0 に、主面 B から第 1 のシリコン酸化膜 3 2 に至る細孔 3 5 を形成する（細孔形成工程）。

なお、細孔 3 5 の深さ方向と垂直な断面の形状は、円形、楕円形、三角形、四角形、矩形などいかなる形状であってもよく、その大きさも、所望の貫通電極付き半導体基板の大きさ、導電性（抵抗値）などに応じて適宜設定される。

【 0 0 3 0 】

このように、細孔 3 5 の形成を D R I E 法によって行えば、細孔 3 5 の微細な加工が容易であり、かつ、使用する半導体基板とエッチングガスを適宜選択することにより、細孔 3 5 および後述の、第 1 の金属薄膜 3 3 および第 2 の金属薄膜 3 4 直下の第 2 のシリコン酸化膜の除去を、一連のプロセスで行うことができるから、効率良く所望の細孔 3 5 を形成することができる。

【 0 0 3 1 】

次いで、図 4 (d) に示すように、細孔 3 5 の孔壁および半導体基板 3 0 の他方の主面 B に、厚さ 1 μ m 程度の絶縁層である第 2 のシリコン酸化膜 3 6 を形成する（第 2 の絶縁層形成工程）。この実施形態では、例えば、テトラエトキシシラン（T E O S）を原料とするプラズマ C V D 法により、第 2 のシリコン酸化膜 3 6 を形成する。

なお、第 2 のシリコン酸化膜 3 6 を形成する方法は、T E O S を原料とするプラズマ C V D 法に限定されるものではなく、原料としてシランガス（S i H₄）などを用いることができ、また、製膜方法も電子デバイス 3 1 へ与えるダメージなどを考慮して、スパッタリング法や熱酸化法などを適用することができる。

【 0 0 3 2 】

次いで、図 4 (e) に示すように、細孔 3 5 の第 1 の金属薄膜 3 3 および第 2 の金属薄膜 3 4 が形成されている側の端部における第 2 のシリコン酸化膜 3 6 お

よび第1のシリコン酸化膜32のみを、エッチング処理により除去し、細孔35内に第1の金属薄膜33を露出させる（絶縁層除去工程）。細孔35の端部のシリコン酸化膜のみを除去するには、半導体基板30の表面のシリコン酸化膜をレジストなどで保護し、異方性エッチングプロセスを適用すればよい。この実施形態では、例えば、エッチングガスとして四フッ化炭素（ CF_4 ）を用い、RIE（Reactive Ion Etching）法を用いるドライエッチング法により、第1のシリコン酸化膜32および第2のシリコン酸化膜36のエッチングを行う。

【0033】

次いで、図4（f）に示すように、溶融金属吸引法または印刷法により、導電性物質を細孔35内に充填し、貫通電極37を形成し（導電性物質充填工程）、貫通電極付き半導体デバイスを得る。

この導電性物質充填工程においては、細孔35内に導電性物質を充填することにより、第1の金属薄膜33および第2の金属薄膜34と、貫通電極37とが電氣的に接続される。

【0034】

溶融金属吸引法では、例えば、導電性物質として、金80重量％－錫20重量％からなる共晶金属を使用する。一方、印刷法では、例えば、孔版印刷法により、銅ペーストを細孔35内に充填する。溶融金属吸引法を用いて、細孔35内に導電性物質を充填すれば、微細な細孔35内にも効率良く導電性物質を充填することができる。また、細孔35内の端部まで導電性物質を充填することができるから、第1の金属薄膜33および第2の金属薄膜34と、この導電性物質によって形成される貫通電極37とが電氣的に接続され、貫通電極37が電極として機能するようになる。

なお、この実施形態では、溶融金属吸引法によって細孔35内に、導電性物質として、金80重量％－錫20重量％からなる共晶金属を充填したが、本発明はこれに限定されるものではない。導電性物質として、異なる組成の金－錫合金や、錫、インジウムなどの金属、または、錫－鉛系、錫基、鉛基、金基、インジウム基、アルミニウム基などのはんだを使用することができる。

【0035】

印刷法では、例えば、孔版印刷法により、銅（Cu）ペーストを細孔35内に充填する。印刷法を用いて、細孔35内に導電性物質を充填すれば、半導体基板30または半導体基板30の積層体の主面の面積が大きくなっても、細孔35内に均一に、効率良く導電性物質を充填することができる。また、細孔35内の端部まで導電性物質を充填することができるから、第1の金属薄膜33および第2の金属薄膜34と、この導電性物質によって形成される貫通電極37とが電氣的に接続され、貫通電極37が電極として機能するようになる。

なお、印刷法によって細孔35内に、導電性物質として、銅ペーストを充填したが、本発明はこれに限定されるものではない。導電性物質として、銀ペースト、カーボンペースト、金-錫ペーストなどの導電性ペーストを使用することができる。

【0036】

この実施形態で得られた貫通電極付き半導体デバイスの他方の主面B上には、必要に応じて、図6（a）に示すような電極パッド40や配線41、または、図6（b）に示すような金属バンプ42を設けてもよい。

また、この実施形態で得られた貫通電極付き半導体デバイスは、表裏を貫通電極35によって電氣的に接続できるため、デバイスの積層や素子の小型化を可能とする。

【0037】

また、この実施形態では、第1の金属薄膜33または第2の金属薄膜34をパターンニングすることにより、電極パッド38および配線39を同時に形成し、電子デバイス31と貫通電極37とを電氣的に接続したが、本発明はこれに限定されず、例えば、電子デバイス31と電極パッド38とを金属ワイヤによるワイヤボンディングで接続することなども可能である。

【0038】

【発明の効果】

以上説明したように、本発明によれば、既に電子デバイスや配線が設けられている半導体基板に対し、効率良く貫通電極を形成することができるから、容易に

、貫通電極付き半導体基板または貫通電極付き半導体デバイスを製造することができる。

【図面の簡単な説明】

【図 1】 本発明の貫通電極付き半導体基板の製造方法の一実施形態を工程順に示し、半導体基板を貫通電極の延在方向に切断した断面図である。

【図 2】 貫通電極付き半導体基板を半導体基板上面から眺めた平面図である。

【図 3】 本発明の貫通電極付き半導体基板の製造方法によって得られた、貫通電極付き半導体基板の構成の一例を示す概略断面図である。

【図 4】 本発明の貫通電極付き半導体デバイスの製造方法の一実施形態を工程順に示し、半導体デバイスを貫通電極の延在方向に切断した断面図である。

【図 5】 貫通電極付き半導体デバイスを半導体基板上面から眺めた平面図である。

【図 6】 本発明の貫通電極付き半導体デバイスの製造方法によって得られた、貫通電極付き半導体デバイスの構成の一例を示す概略断面図である。

【図 7】 貫通電極が設けられた貫通電極付き半導体基板の構成の一例を示す概略断面図である。

【図 8】 従来の貫通電極付き半導体基板の製造方法の一例を説明する図である。

【図 9】 貫通電極が設けられた貫通電極付き半導体基板の構成の他の例を示す概略断面図である。

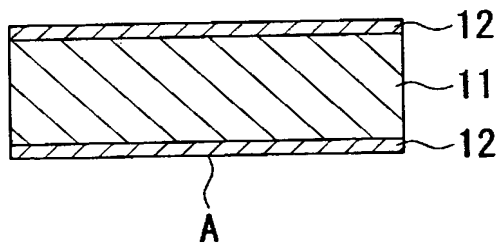
【符号の説明】

1 1, 3 0・・・半導体基板、1 2, 3 2・・・第 1 のシリコン酸化膜、1 3, 3 5・・・細孔、1 4, 3 6・・・第 2 のシリコン酸化膜、1 5, 3 3・・・第 1 の金属薄膜、1 6, 3 4・・・第 2 の金属薄膜、1 7, 3 7・・・貫通電極、3 1・・・電子デバイス

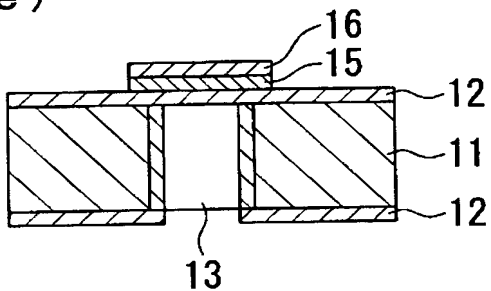
【書類名】 図面

【図 1】

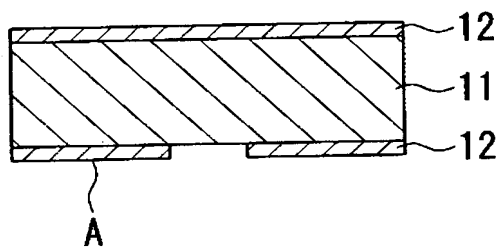
(a)



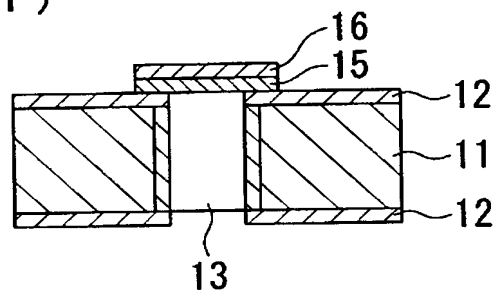
(e)



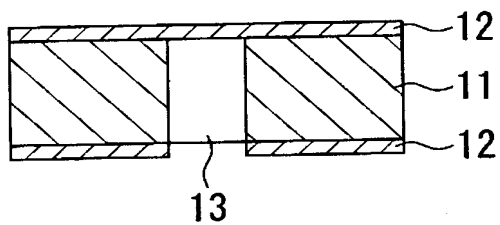
(b)



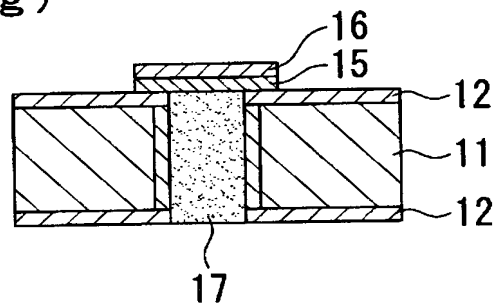
(f)



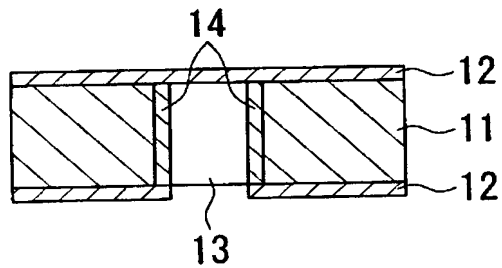
(c)



(g)

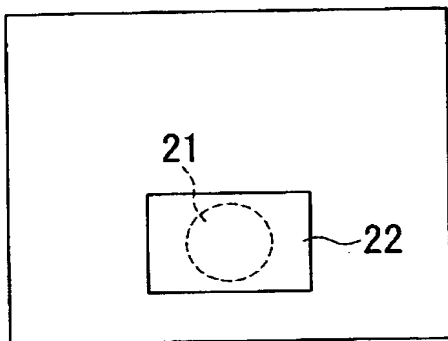


(d)

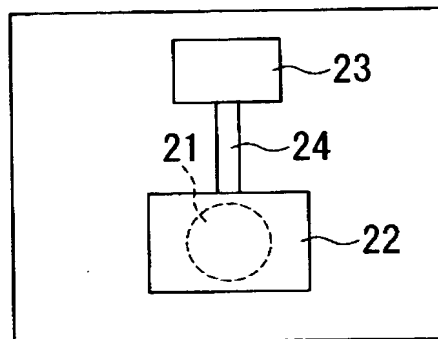


【図 2】

(a)

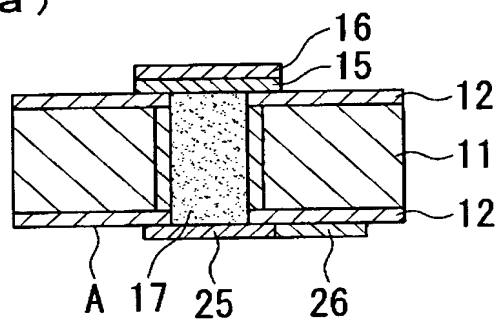


(b)

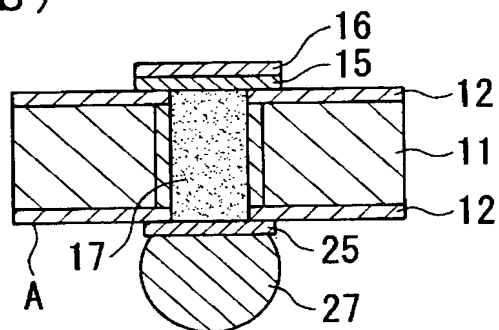


【図 3】

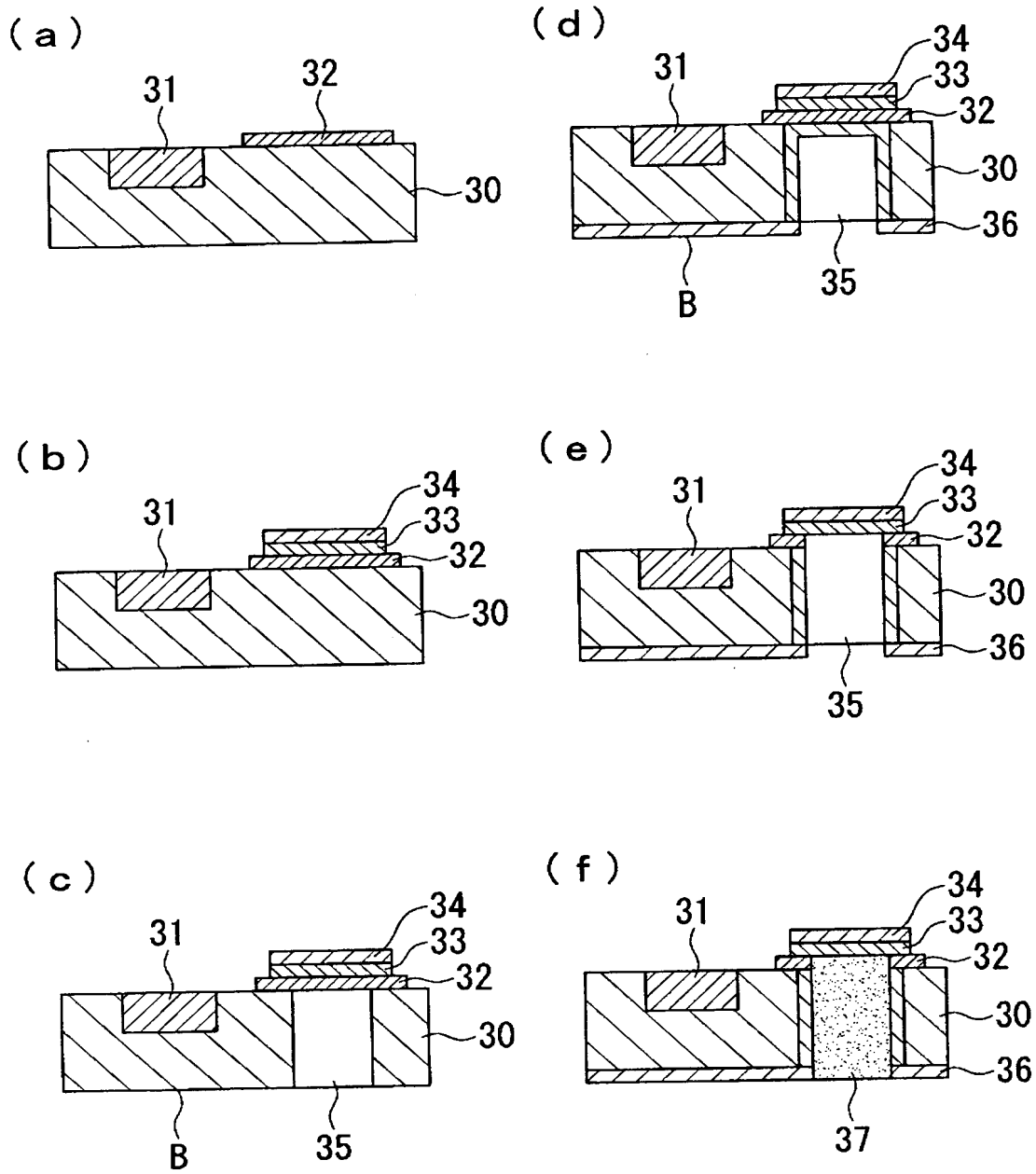
(a)



(b)

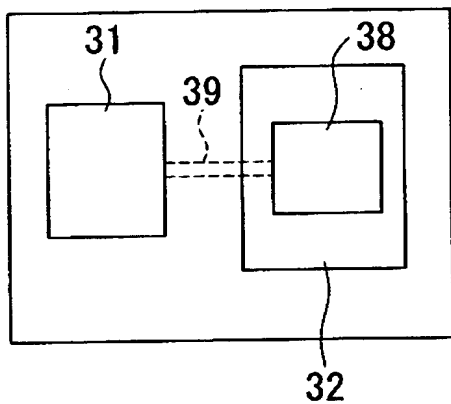


【図 4】

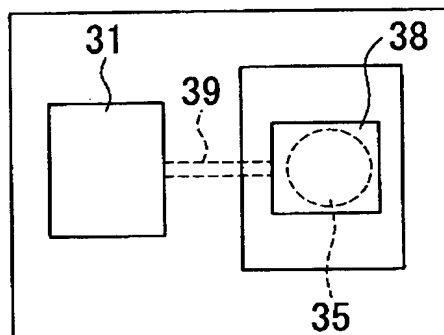


【図 5】

(a)

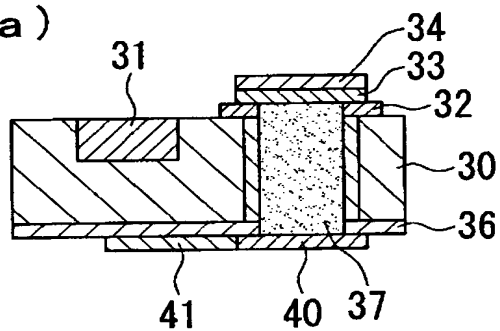


(b)

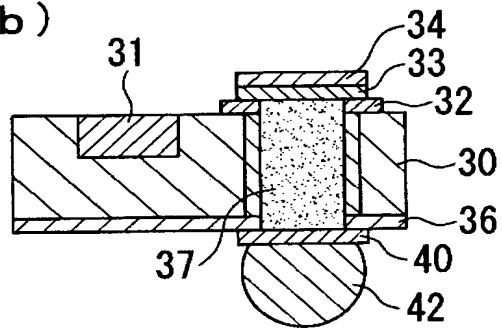


【図 6】

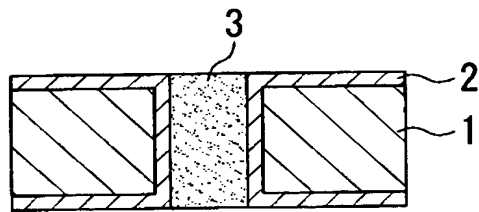
(a)



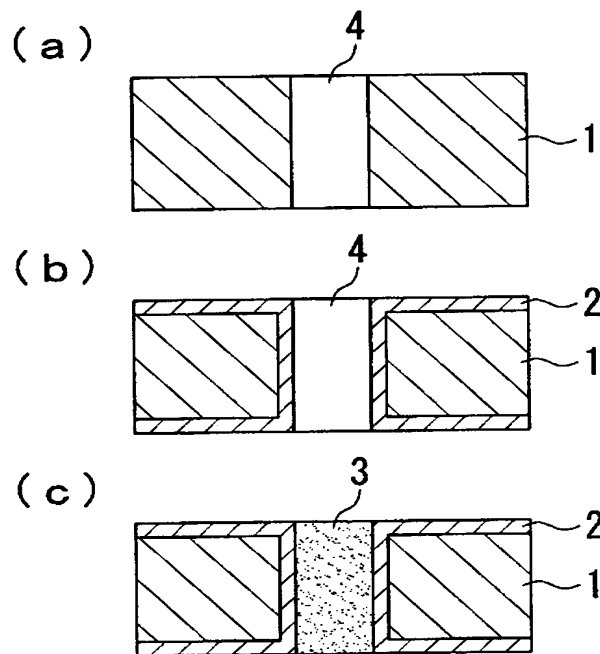
(b)



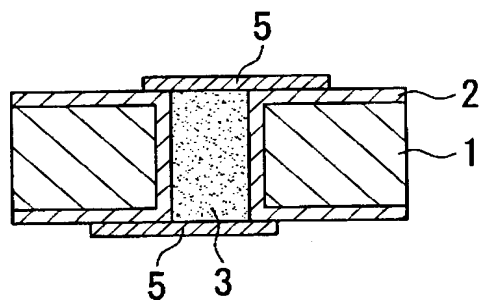
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 既にデバイスや配線が形成されている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法を提供する。

【解決手段】 半導体基板 1 1 の主面に第 1 のシリコン酸化膜 1 2 を形成し、主面 A からもう一方の主面側の第 1 のシリコン酸化膜 1 2 に達する細孔 1 3 を形成し、細孔 1 3 の孔壁に第 2 のシリコン酸化膜 1 4 を形成し、第 1 のシリコン酸化膜 1 2 上に第 1 の金属薄膜 1 5 および第 2 の金属薄膜 1 6 を形成し、細孔 1 3 の端部における第 1 のシリコン酸化膜 1 2 を除去し、細孔 1 3 内に導電性物質を充填し貫通電極 1 7 を形成する貫通電極付き半導体基板の製造方法。細孔 1 3 を、D R I E 法で形成する。導電性物質を、溶融金属吸引法または印刷法により細孔 1 3 内に充填する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 8 6]

1. 変更年月日 1 9 9 2 年 1 0 月 2 日
[変更理由] 名称変更
住 所 東京都江東区木場 1 丁目 5 番 1 号
氏 名 株式会社フジクラ

出 願 人 履 歴 情 報

識別番号 [000000376]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都渋谷区幡ヶ谷2丁目43番2号
氏 名 オリンパス光学工業株式会社